






Receiver with sigma-delta analog-digital converter receiver**Publication number:** CN1281597**Publication date:** 2001-01-24**Inventor:** BAZARJANI S S (US); CICCARELLI S C (US); YOUNIS S G (US)**Applicant:** QUALCOMM INC (US)**Classification:****- international:** *H03M1/66; H03D3/00; H03D7/16; H03M3/02; H04B1/26; H03M1/66; H03D3/00; H03D7/00; H03M3/02; H04B1/26; (IPC1-7): H04B1/16; H03M3/02***- European:** H03D3/00C; H03D7/16C; H04B1/26**Application number:** CN19988011991 19981208**Priority number(s):** US19970987306 19971209**Also published as:** WO9930428 (A1)
 EP1040587 (A1)
 US6005506 (A1)
 ZA9811125 (A)
 MXPA00005773 (A)

more >>

[Report a data error here](#)

Abstract not available for CN1281597

Abstract of corresponding document: **WO9930428**

A receiver comprising a sigma-delta analog-to-digital converter (SIGMA DELTA ADC) can be utilized in one of four configurations, as a subsampling bandpass receiver, a subsampling baseband receiver, a Nyquist sampling bandpass receiver, or a Nyquist sampling baseband receiver. For subsampling SIGMA DELTA receivers, the sampling frequency is less than twice the center frequency of the input signal into the SIGMA DELTA ADC. For Nyquist sampling SIGMA DELTA receivers, the sampling frequency is at least twice the highest frequency of the input signal into the SIGMA DELTA ADC. For baseband SIGMA DELTA receivers, the center frequency of the output signal from the SIGMA DELTA ADC is approximately zero or DC. For bandpass SIGMA DELTA receivers, the center frequency of the output signal from the SIGMA DELTA ADC is greater than zero. The sampling frequency can be selected based on the bandwidth of the input signal to simplify the design of the digital circuits used to process the output samples from the SIGMA DELTA ADC. Furthermore, the center frequency of the input signal can be selected based on the sampling frequency and the bandwidth of the input signal. The SIGMA DELTA ADC within the receiver provides many benefits.

Data supplied from the **esp@cenet** database - Worldwide

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04B 1/16
H03M 3/02

[12] 发明专利申请公开说明书

[21] 申请号 98811991.9

[43] 公开日 2001 年 1 月 24 日

[11] 公开号 CN 1281597A

[22] 申请日 1998.12.8 [21] 申请号 98811991.9

[30] 优先权

[32] 1997.12.9 [33] US [31] 08/987,306

[86] 国际申请 PCT/US98/26051 1998.12.8

[87] 国际公布 WO99/30428 英 1999.6.17

[85] 进入国家阶段日期 2000.6.9

[71] 申请人 夸尔柯姆股份有限公司

地址 美国加州圣地埃哥

[72] 发明人 S·S·巴扎加尼 S·C·西卡雷利
S·G·尤尼斯 D·K·巴特菲尔德

[74] 专利代理机构 上海专利商标事务所

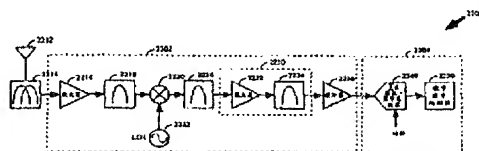
代理人 吴蓉军

权利要求书 2 页 说明书 15 页 附图页数 6 页

[54] 发明名称 带有西格马 - 德尔塔模拟 - 数字变换器的接收机

[57] 摘要

一种接收机,它包括可以四种结构之一的形式利用的西格马 - 德尔塔模拟 - 数字变换器($\Sigma\Delta$ ADC),其中上述四种结构如子采样带通接收机、于采样基带接收机、奈奎斯特采样带通接收机或奈奎斯特采样基带接收机。对于子采样 $\Sigma\Delta$ 接收机,采样频率小于输入到该 $\Sigma\Delta$ ADC的中心频率的两倍。对于奈奎斯特采样 $\Sigma\Delta$ 接收机,采样频率至少是到 $\Sigma\Delta$ ADC的输入信号的最高频率的两倍。对于基带 $\Sigma\Delta$ 接收机, $\Sigma\Delta$ ADC的输出信号的中心频率近似为零或直流。对于带通 $\Sigma\Delta$ 接收机, $\Sigma\Delta$ ADC的输出信号的中心频率大于零。根据输入信号的带宽选择采样频率以简化用于处理 $\Sigma\Delta$ ADC的输出采样的数字电路的设计。此外,可根据输入信号的采样频率和带宽,选择输入信号的中心频率。在接收机内的 $\Sigma\Delta$ ADC提供多种有利之处。



权 利 要 求 书

1. 一种用于解调 RF 信号的接收机，其特征在于，包括：
前端，用于接收所述 RF 信号和下变频所述 RF 信号到中频(IF)信号，所述 IF 信号具有中心频率和两侧带宽；
与所述前端相连的 $\Sigma\Delta$ ADC，用于接收所述 IF 信号和采样所述 IF 信号，以产生 IF 采样，在采样频率下对所述 $\Sigma\Delta$ ADC 进行计时；
连到所述 $\Sigma\Delta$ ADC 的数字信号处理器，用于接收所述 IF 采样，和根据用于产生所述 RF 信号的调制格式解调所述 IF 采样。
2. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是子采样带通 $\Sigma\Delta$ ADC。
3. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是子采样基带 $\Sigma\Delta$ ADC。
4. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是奈奎斯特采样带通 $\Sigma\Delta$ ADC。
5. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是奈奎斯特采样基带 $\Sigma\Delta$ ADC。
6. 如权利要求 2 所述的接收机，其特征在于，所述 IF 信号的所述中心频率是所述采样频率的 $0.25 \cdot (2n+1)$ 倍，其中 n 是大于 1 的整数。
7. 如权利要求 6 所述的接收机，其特征在于， n 等于 2。
8. 如权利要求 2 所述的接收机，其特征在于，所述 IF 信号的所述中心频率是所述采样频率的 $0.25 \cdot (2n)$ 倍，其中 n 是大于 1 的整数。
9. 如权利要求 8 所述的接收机，其特征在于， n 等于 2。
10. 如权利要求 2 所述的接收机，其特征在于，根据所述 IF 信号的所述双侧带宽选择所述采样频率。
11. 如权利要求 2 所述的接收机，其特征在于，所述 IF 信号包括 CDMA 信号。
12. 如权利要求 11 所述的接收机，其特征在于，所述 IF 信号的所述中心频率是 116.5MHz。
13. 如权利要求 12 所述的接收机，其特征在于，所述采样频率是 66.6MHz。
14. 如权利要求 1 所述的接收机，其特征在于，所述解调器包括：

数字滤波器，用于接收所述 IF 采样并提供所述滤波采样，所述数字滤波器通过频率响应滤波所述 IF 采样并以抽选比抽选所述经滤波采样。

15. 如权利要求 14 所述的接收机，其特征在于，可根据所述接收机的工作模式，调节所述数字滤波器的所述频率响应。

16. 如权利要求 14 所述的接收机，其特征在于，根据所述数字滤波器的所述抽选比和所述 IF 信号的所述两侧带宽，选择所述采样频率。

17. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 提供四个或更多比特分辨率。

18. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 包括多个环路，可以根据具体要求打开或关闭每个环路。

19. 如权利要求 1 所述的接收机，其特征在于，以过采样比 16 或更大，对所述 $\Sigma\Delta$ ADC 进行计时。

20. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是单环 $\Sigma\Delta$ ADC。

21. 如权利要求 1 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是 MASH $\Sigma\Delta$ ADC。

22. 如权利要求 21 所述的接收机，其特征在于，所述 MASH $\Sigma\Delta$ ADC 是 MASH 4- $\Sigma\Delta$ ADC。

23. 一种用于解调 RF 信号的接收机，其特征在于，包括：

前端，用于接收所述 RF 信号和下变频所述 RF 信号到中频 (IF) 信号；

连到所述前端的正交解调器，用于接收所述 IF 信号和把所述 IF 信号下变频到基带 I 和 Q 信号；

连到所述正交调制器的两个 $\Sigma\Delta$ ADC，一个 $\Sigma\Delta$ ADC 接收所述基带 I 信号和一个 $\Sigma\Delta$ ADC 接收所述基带 Q 信号，所述 $\Sigma\Delta$ ADC 采样所述基带 I 和 Q 信号产生基带采样，在采样频率下对所述 $\Sigma\Delta$ ADC 进行计时。

24. 如权利要求 23 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是奈奎斯特采样基带 $\Sigma\Delta$ ADC。

25. 如权利要求 24 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是 MASH $\Sigma\Delta$ ADC。

26. 如权利要求 25 所述的接收机，其特征在于，所述 $\Sigma\Delta$ ADC 是 MASH 4- $\Sigma\Delta$ ADC。



说明书

带有西格马-德尔塔模拟-数字变换器的接收机

发明领域

本发明涉及通信。具体地说，本发明涉及包括西格马-德尔塔(sigma-delta)模拟-数字变换器的新颖和经改进接收机。

相关技术描述

在多种现代通信系统中，利用数字发送，因为它具有经提高的效率和检测及校正传输误差(transmission error)的能力。示例的数字传输格式包括二进制相移键控(BPSK)、四相移键控(QPSK)、交错四相相移键控(OQPSK)、m-进制相移键控(m-PSK)和正交调幅(QAM)。利用数字传输的示例通信系统包括码分多址(CDMA)通信系统和高清晰度电视(HDTV)系统。在美国专利第 4, 901, 307 号(发明名称为“运用卫星或地面中继站的扩展频谱多址联接通信系统”)和美国专利第 5, 103, 459 号(发明名称为“在 CDMA 蜂窝状电话系统中产生波形的系统和方法”)中描述了将 CDMA 技术用于多址联接通信系统，其中上述两项专利已转让给本发明的受让人并作为参考资料在此引入。在美国专利第 5, 452, 104 号、美国专利第 5, 107, 345 号和美国专利第 5, 021, 891 号(三项专利都命名为“自适应块尺寸(adaptive block size)图象压缩方法和系统”)和美国第 5, 576, 767 号(发明名称为“帧间视频编码和解码系统”)中描述了示例 HDTV 系统，其中上述四项专利已转让给本发明的受让人，并作为参考资料在此引入。

在 CDMA 系统中，基站与一个或多个远程站进行通信。基站一般在固定位置上。因此，在基站设计时功率消耗并不十分重要。远程站一般是数量很多的用户单元。因此，由于所产生的单元数量，所以在设计时成本和可靠性是重要考虑对象。此外，在诸如 CDMA 移动通信系统的一些应用中，由于远程站的便携本质，所以功率消耗很关键。在设计远程站的过程中，通常要在性能、成本和功率消耗之间进行权衡。

在数字传输中，将数字化数据用于运用上述一种格式来调制载波正弦。还处理(例如，经滤波、放大和上变频)经调制波形，并将它发送到远程站。在远程站处，由接收机接收发送 RF 信号，并解调。

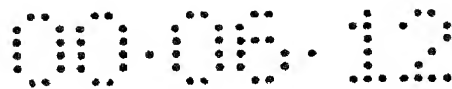


图 1 示出用于 QPSK、OQPSK 和 QAM 信号正交解调的现有技术的示例超外差式接收机 2100 的方框图。可在基站或远程站运用接收机 2100。在接收机 2100 内，由天线 2112 接收发送的 RF 信号，通过双工器 2114 向前端 2102 提供。在前端 2102 中，放大器 (AMP) 2116 放大信号，并向带通滤波器 2118 提供该信号，它滤波该信号以除去不需要的信号。如在本说明书中用到的，不需要的信号包括噪声、寄生信号、不需要图象、干扰和人为干扰 (jammer)。向混频器 2120 提供经滤波 RF 信号，其中上述混频器 2120 用来自本机振荡器 (LO1) 2122 的正弦将信号下变频到固定中间频率 (IF)。由带通滤波器 2124 滤波并由自动增益控制 (AGC) 放大器 2126 放大来自混频器 2120 的 IF 信号，从而在模拟-数字变换器 (ADC) 2140 的输入端产生所需信号幅度。向解调器 2104 提供增益控制信号。在解调器 2104 中，两个混频器 2128a 和 2128b 用由分别本机振荡器 (LO2) 2134 和移相器 2136 提供的正弦将信号下变频到基带 I 和 Q 信号。分别向低通滤波器 2130a 和 2130b 提供基带 I 和 Q 信号，其中低通滤波器提供对基站信号的提供匹配滤波、邻近信道抑制 (rejection) 和/或抗假频滤波。向采样信号以产生数字化基带采样的 ADC 2140a 和 2140b 提供经滤波信号。向基站处理器 2150 提供采样以进一步处理 (例如，检错、纠错和解压) 来产生对发送数据的重建评估。

用混频器 2120 的第一频率下变频允许接收机 2100 下变频在各 RF 频率下的信号至固定 IF 频率，在该频率下可执行更多的信号处理。固定 IF 频率允许执行带通滤波器 2124 作为固定带通滤波器，诸如声表面波 (SAW) 滤波器，以从 IF 信号中除去不需要的信号。除去不需要的信号是十分重要的，因为在第二频率下变频级中，这些信号可折叠成信号带 (例如，出现输入信号的频带)。此外，不需要的信号可大量增加在各种有源元件 (诸如放大器和混频器) 中的信号幅度，它可根据有源元件中的非线性产生更高级的互调产物。不需要的信号和互调产物可导致通信系统的性能恶化。

现有技术的正交解调器有几个主要缺点。首先，由带通滤波器 2124 和/或低通滤波器 2130 进行的所需滤波可能很复杂。这些滤波器将要求平的通带、阻带的高度衰减和过渡带的锐滚降 (sharp roll-off)。用模拟电路实施这些滤波器。模拟电路的元件容限 (component tolerance) 很难保持，而且导致这些滤波器的频率响应产生畸变。作为畸变的结果，接收机 2100 的性能会恶化。其次，由于在分相器 2136、混频器 2128、低通滤波器 2130 和 ADC 2140 中的元

件容限，使得正交平衡很难在多个产生单元中保持。在两个信号路径中的任何误匹配都导致正交不平衡以及接收机 2100 的性能恶化。路径误匹配导致 I 信号串音到 Q 信号，反之亦然。串音信号相当于在所需信号中的附加噪声，并导致对所需信号检测不良。第三，现有技术接收机结构具有直流偏置，因为模拟滤波器是处于基带。第四，由于下述原因，使得 ADC2140 可导致接收机 2100 的性能恶化。

在大多数解调器中，要求一个或多个 ADC 把时间连续的模拟波形转换成以均匀隔开的时间间隔的离散采样。ADC 的一些重要性能参数包括动态范围、线性和直流偏置。每个这样的参数可影响通信系统的性能。动态范围可影响接收机的误码率性能，因为来自 ADC 的噪声恶化了 ADC 适当检测输入信号的能力。线性与在实际传递曲线（例如，数字输出对模拟输入）和理想传递曲线之差相关。当 ADC 中的比特数量增加时，更难获得良好的线性。差的线性可能恶化检错/纠错处理。而且直流偏置可恶化在接收机中的锁相环以及纠错解码器（诸如，维特比解码器）的性能。

在现有技术中，用快速(flash)ADC 或逐次逼近 ADC 来采样基带信号。在快速 ADC 中，将用阻性梯形电路(resistive ladder)划分输入信号以产生 $L-1$ 个比较信号，其中 $L=2^m$ ，和 m 是在 ADC 中的比特数量。由 $L-1$ 个比较器将该比较信号与由第二阻性梯形电路产生的 $L-1$ 个参考电压相比较。快速 ADC 是庞大的，而且消耗大量功率，因为需要 $L-1$ 个比较器和 $2L$ 个电阻器。如果在阻性梯形电路中的电阻器不匹配，那么快速 ADC 可能有很差的线性以及很差的直流偏置性能。然而，快速 ADC 很普遍，因为它们的工作速度很快。

逐次逼近 ADC 对于通信系统也很流行。这些 ADC 通过在两或多级中对输入信号执行逐次逼近。然而，这些 ADC 也显示差的线性和差的直流偏置特征，这与快速 ADC 的相类似。于是，快速 ADC 和逐次逼近 ADC 对于在多个通信应用中使用而言不是理想的。

由于 $\Sigma\Delta$ ADC 的固有体系结构，使得西格马德尔塔模拟-数字变换器($\Sigma\Delta$ ADC)具有优于快速和逐次逼近 ADC 的性能。 $\Sigma\Delta$ ADC 通过在高于输入信号的带宽很多倍的采样频率下对输入信号进行逐步一位逼近(successive one-bit approximation)，执行模拟-数字变换。输出的样值中含有输入信号和量化噪声。然而，可以将 $\Sigma\Delta$ ADC 设计成把在信号带（例如，出现信号的频带）中的量化噪声推到(push to)更加容易执行滤波的带外频率（或噪声成形）。通常不附

加考虑带外量化噪声，因为一般在通信装置中提供滤波来除去不需要的信号，诸如人工干扰。

由于 $\Sigma\Delta$ ADC 的固有结构，使得 $\Sigma\Delta$ ADC 可提供高动态范围、良好线性和低直流偏置。例如，通过选择足够的过采样比(OSR)和适当的噪声成形滤波器特性，可以获得高动态范围。对于带通采样，将过采样比定义为采样频率除以输入的两侧带宽。此外，由于在 $\Sigma\Delta$ ADC 内的单个一位量化器，使得可获得良好线性。对于带通采样 $\Sigma\Delta$ ADC，仍然出现直流偏置，但是偏离所需信号。

由于出于高性能需要高过采样比，所以传统上 $\Sigma\Delta$ ADC 限于其中输入信号是低带宽信号的应用(诸如，音频应用)。然而，随着高速模拟电路的提出，可实施 $\Sigma\Delta$ ADC 以在高速下工作。在待批美国专利申请第 08/928,874 号(发明名称为“带通西格马-德尔塔模拟-数字变换器”，1997 年 9 月 12 日申请，已转让给本发明的受让人并作为参考资料在此引入)中详细描述高速带通和基带 $\Sigma\Delta$ ADC 设计和实施。

发明概述

本发明是一种新颖和经改进接收机，它包括西格马-德尔塔模拟-数字变换器($\Sigma\Delta$ ADC)。本发明可用于四种结构之一，如子采样带通接收机、子采样基带接收机、奈奎斯特采样带通接收机或奈奎斯特采样基带接收机。对于子采样 $\Sigma\Delta$ 接收机，采样频率小于输入到该 $\Sigma\Delta$ ADC 的中心频率的两倍。对于奈奎斯特采样 $\Sigma\Delta$ 接收机，采样频率至少是到 $\Sigma\Delta$ ADC 的输入信号的最高频率的两倍。对于基带 $\Sigma\Delta$ 接收机， $\Sigma\Delta$ ADC 的输出信号的中心频率近似为零或直流。对于带通 $\Sigma\Delta$ 接收机， $\Sigma\Delta$ ADC 的输出信号的中心频率大于零。较佳的是，对于带通 $\Sigma\Delta$ 接收机，设置 $\Sigma\Delta$ ADC 的输入信号的中心频率，从而 $\Sigma\Delta$ ADC 的输出信号的中心频率大约为 $0.25 \cdot f_s$ ，其中 f_s 是 $\Sigma\Delta$ ADC 的采样频率。这种 $0.25 \cdot f_s$ 中心频率简化同相和正交分离并提供在假频(alias)之间的最大分离，但不是必须的。根据输入信号的带宽可进一步选择这种采样频率，以简化用于处理来自 $\Sigma\Delta$ ADC 的输出采样的数字电路的设计。此外，可根据输入信号的采样频率和带宽，选择输入信号的中心频率。

本发明的一个目的是提供子采样 $\Sigma\Delta$ 接收机以解调数字和模拟调制格式。运用在接收机内的子采样 $\Sigma\Delta$ ADC 提供多个有利之处，包括(1)消除通过子采样输入信号提供的模拟频率下变频级以及采样的假频性能，(2)通过在高过采样比

下对 $\Sigma\Delta$ ADC 进行计时和设计 $\Sigma\Delta$ ADC 具有附加分辨率位(additional bits of resolution)可用来处理不需要信号, 见效模拟滤波需要, (3)通过将数字解调用于 $\Sigma\Delta$ ADC 的输出采样, 提高可靠性并增加灵活性, (4)通过设计数字电路具有必需的正交平衡, 消除正交不平衡, (5)通过运用 $\Sigma\Delta$ ADC, 改善动态范围、线性和直流偏置, 和(6)减小功率消耗。

本发明的另一个目的在于, 提供奈奎斯特采样 $\Sigma\Delta$ 接收机用于解调数字和模拟调制格式。运用奈奎斯特采样 $\Sigma\Delta$ ADC 提供多个有利之处, 诸如改善的动态范围、增加的线性、减小的直流偏置和最小功率损耗。

附图简述

当结合附图, 从下面的详细描述, 本发明的特征、目的和优点将显而易见, 其中相同标号作相应表示:

图 1 是现有技术的示例超外差式接收机的方框图;

图 2 是本发明的示例子采样 $\Sigma\Delta$ 接收机的方框图;

图 3 是本发明的示例另一种子采样 $\Sigma\Delta$ 接收机的方框图;

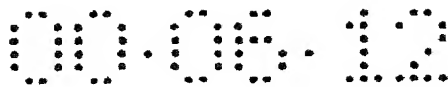
图 4 是用于正交解调的本发明的示例数字信号处理器的方框图;

图 5A-5B 分别是来自子采样带通 $\Sigma\Delta$ 接收机的 $\Sigma\Delta$ ADC 的 IF 输入频谱和输出采样频谱的方框图; 和

图 6 是本发明的示例奈奎斯特采样基带 $\Sigma\Delta$ 接收机的方框图。

较佳实施例的详细描述

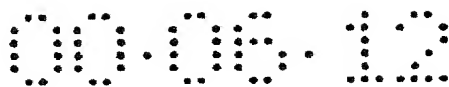
本发明利用高速西格马-德尔塔模拟-数字变换器($\Sigma\Delta$ ADC)的优良性能来执行对模拟波形的所需模拟-数字变换。示例应用包括 CDMA 通信系统和 HDTV 信号。在本发明的子采样 $\Sigma\Delta$ 接收机实施例中, 输入信号是以中频(IF)为中心, 而不是基带。如在本说明书中用到的, 子采样表示 $\Sigma\Delta$ ADC 的采样频率小于到 $\Sigma\Delta$ ADC 的输入信号的中心频率的两倍。采样位于 IF 频率下的信号考虑到消除在接收机中的下变频级, 于是简化硬件设计和提高的可靠性。可设计在 $\Sigma\Delta$ ADC 中的噪声成形器(noise shaper), 从而在信号带周围的量化噪声被推到更容易执行滤波的频带外(或噪声成形)。对于子采样 $\Sigma\Delta$ 接收机根据应用和要求, $\Sigma\Delta$ ADC 可以是带通 $\Sigma\Delta$ ADC 或基带 $\Sigma\Delta$ ADC。如在本说明书中用到的那样, 基带采样(或基带 $\Sigma\Delta$ ADC)表示 $\Sigma\Delta$ ADC 的输出信号以大于零或直流为中心, 带通采样



IF 处理器 2230 提供来自带通滤波器 2224 的经滤波信号。在 IF 处理器 2230 中，由放大器 2232 放大经滤波信号，而且由带通滤波器 2234 滤波以进一步除去不需要的信号。包括带通滤波器 2234 以提供进一步抗假频滤波。向提供对信号的增益和/或缓冲的缓冲器 (BUF) 2236 提供经滤波信号。在其他应用中，诸如在 900MHz 蜂窝状频带工作的 CDMA 通信系统，由 IF 处理器 2230 提供的增益和滤波不是必需的。在这种情况下，直接向缓冲器 2236 提供来自带通滤波器 2224 的信号。向解调器 2204 提供缓冲信号。在解调器 2204 中， $\Sigma\Delta$ ADC 2240 在由 CLK 信号确定的高采样频率下采样缓冲信号，而且向数字信号处理器 (DSP) 2250 提供采样。下面详细描述数字信号处理器 2250。

接收机 2200 包括由大多数接收机所需的基本功能。然而，可重新安排放大器 2216 和 2232、带通滤波器 2218、2224 和 2234 以及混频器 2220 的布局，以最优化接收机 2200 的性能用于特殊应用。例如，可将带通滤波器 2218 插在双工器 2214 和放大器 2216 之间，来在第一放大器级之前滤去不需要的信号。用低噪声放大器 (LNA) 或自动增益控制 (AGC) 放大器替换放大器 2216，以提供所需增益和 AGC 控制。如需要，可在接收机 2200 内添加附加下变频级。可考虑这里所示的不同功能布局，而且在本发明的范围内。此外，还可考虑这里所示的其他功能布局结合在现有技术中已知的其他接收机功能，并在本发明的范围内。

图 3 示出本发明的另一种子采样 $\Sigma\Delta$ 接收机的方框图。接收机 2300 提供子采样 $\Sigma\Delta$ 接收机 2200 的优点，以及可编程线性接收机的优点，如在待批美国专利申请序号 08/928,874 号中所述。在接收机 2300 中，由天线 2312 接收所发送的 RF 信号、通过双工器 2314 向衰减器 2316 提供。衰减器 2316 衰减 RF 信号以提供所需幅度的信号，并向前端 2302 提供经衰减信号。在前端 2302 中，向衰减器 (pad) 2322a 和低噪声放大器 (LNA) 2320a 提供经衰减信号。LNA 2320a 放大 RF 信号并向带通滤波器 2326 提供放大信号。衰减器 2322a 提供预定程度的衰减并与开关 2324a 串联。当不需要 LNA 2320a 的增益时，开关 2324a 提供在 LNA 2320a 周围的旁通路径 (bypass path)。带通滤波器 2326 滤波信号以除去可导致在后来信号处理级中产生互调产物的不需要信号。向衰减器 2322b 和低噪声放大器 (LNA) 2320b 提供经滤波信号。LNA 2320b 放大经滤波信号，而且向混频器 2330 提供信号。衰减器 2322b 提供预定等级衰减并与开关 2324b 串联。当不需要 LNA 2320b 的增益时，开关 2324b 提供在 LNA 2320b 周围的旁通路



高于现有技术的模拟处理的经改进可靠性，执行在 $\Sigma\Delta$ ADC 之后的数字信号滤波。第四，IF 采样的数字解调除去在现有技术的超外差接收机 2100 常见的正交不平衡。和第五，本发明的 $\Sigma\Delta$ ADC 可提供优于在现有技术中传统 ADC 的经改进的动态范围、线性和直流偏置。下面将详细描述这些优点。

本发明的子采样 $\Sigma\Delta$ 接收机的第一个主要优点在于消除模拟频率下变频级。在图 5A-5B 中分别示出对于子采样带通 $\Sigma\Delta$ 接收机的 $\Sigma\Delta$ ADC 的 IF 输入的频谱和 IF 采样的频谱示图。对于子采样带通 $\Sigma\Delta$ 接收机，把 IF 信号设置在 $f_{IF}=0.25 \cdot (2n+1) \cdot f_s$ ，其中 n 是对于 1 的整数和 f_s 是 $\Sigma\Delta$ ADC 的采样频率。在示例实施例中， n 等于 3 和到 $\Sigma\Delta$ ADC 的 IF 信号的频率以 $f_{IF}=1.75 \cdot f_s$ 为中心。通过改变在前端中的本机振荡器（例如，在图 2 中的本机振荡器 2222）的频率，可以控制 IF 信号的中心频率。当在下采样频率采样 IF 信号，那么 IF 假频和 IF 信号的映象出现在 $0.25 \cdot f_s$ 、 $0.75 \cdot f_s$ 、 $1.25 \cdot f_s$ 、 $1.75 \cdot f_s$ ，等等（参见图 5B）。下采样表示采样频率小于 IF 信号的最高频率的两倍。运用采样的假频性能，在不使用模拟下变频级的情况下，将在 $1.75 \cdot f_s$ 有效地下变频 IF 信号到 $0.25 \cdot f_s$ 。后来，由数字信号处理器处理在 $0.25 \cdot f_s$ 的信号。

对于子采样带通 $\Sigma\Delta$ 接收机， $\Sigma\Delta$ ADC 是带通 $\Sigma\Delta$ ADC，它以在待批美国专利申请号 08/928,874 号中描述的方式成形量化噪声。对于带通 $\Sigma\Delta$ ADC，将在 $0.25 \cdot f_s$ 周围的量化噪声推到直流和 $0.50 \cdot f_s$ ，在该处滤波量化噪声更加容易执行。在示例实施例中，选择 IF 信号的中心频率，从而映象出现在 $0.25 \cdot f_s$ ，这是量化噪声最小的频率。

对于如图 4 所示的正交解调器 2250，由乘法器 2254a 和 2254b 分别运用来自本机振荡器 2260 和分相器 2258 的同相和正交正弦，将滤波器 2252 的采样下变频到基带。通过适当地选择滤波器 2252 的采样频率，对于 $\Sigma\Delta$ ADC，使频率下变频级无关紧要。向滤波器 2252 提供 $\Sigma\Delta$ ADC 的采样，滤波器 2252 滤波 IF 信号并以 N 抽选产生在抽选频率 f_d 下的抽选采样。如果选择抽选频率 f_d 为四分之一的采样频率，或者 $f_d=f_s/4$ ，可通过将滤波器 2252 的抽选采样分别与序列 $(1, 0, -1, 0, 1, 0, -1, \dots)$ 和 $(0, 1, 0, -1, 0, 1, 1, \dots)$ 相乘，执行由乘法器 2254a 和 2254b 的正交下变频。于是，可用简单的数字电路实施乘法器 2254a 和 2254b。

在示例实施例中，运用本发明的子采样 $\Sigma\Delta$ 接收机以解调双侧带宽为 1.2288MHz 的 CDMA 信号。在示例实施例中，对于易于实施正交下变频级和后面

的信号处理级，选择抽选频率 f_d 是 $\text{chip} \times 8 (9.83\text{MHz})$ ，或者 CDMA 信号的双侧带宽的 8 倍。在示例实施例中，选择采样频率是 66.6MHz ，和到 $\Sigma\Delta$ ADC 的 IF 信号的中心频率是 116.5MHz 或者 $f_{IF}=1.75 \cdot f_d$ 。选择这些频率来使不需要信号和在信号带中的互调产物为最小。还可使用其他采样和 IF 频率，并落在本发明的范围内。采样频率与抽选频率之比是 $6.77 (66.6\text{MHz}/9.83\text{MHz})$ 。它不是整数。在示例实施例中，运用数据速率变换器以重新采样在 f_d 下的 IF 频率成在转换频率 f_c 下的转换采样。选择转换频率 f_c 为抽选频率的整数倍，或 $f_c=M \cdot f_d$ 。可以在现有技术中已知的方法实施数据速率变换器，诸如线性插入器或二次插入器，如在 08/928,874 中详细所述。在频率计划允许在抽选频率 f_d 的 p 倍的采样频率下采样的一些应用中，其中 p 是整数，不需要数据速率变换器。

子采样 $\Sigma\Delta$ 接收机的第二个主要优点是对模拟滤波器的较低严格要求。子采样 $\Sigma\Delta$ 接收机的前端中，只需要简单的抗假频滤波来在 $\Sigma\Delta$ ADC 采样之前从第一混频器（例如，混频器 2220）的输出信号中去除不需要的信号。用在数字信号处理器中的数字滤波器实施在接收机 2100 中接收到的严格模拟匹配滤波器。

在接收机 2100 中还需要严格模拟滤波器来抑制不需要的信号。对于 CDMA 应用，可将不必要的大幅度信号（例如，包括人工干扰）设置在十分靠近所需信号（例如，CDMA 信号）的频带边界附近。人工干扰的幅度可甚高于所需信号的幅度。在现有技术中，需要陡峭滚降特性的模拟滤波器来将人工干扰抑制在更小的幅度，从而不钳位 ADC，因为 ADC 的钳位导致恶化所需信号的互调产物。用可用来量化人工干扰的附加分辨率位设计在本发明中的 $\Sigma\Delta$ ADC 而不钳位 $\Sigma\Delta$ ADC。附加位允许 $\Sigma\Delta$ ADC 容忍更高幅度人工干扰，从而在 $\Sigma\Delta$ ADC 之前放松对模拟滤波器的要求。

子采样 $\Sigma\Delta$ 接收机的第三个主要优点在于，可以所需精度和优于现有技术中的模拟正交解调的经改进可靠性，实施对 $\Sigma\Delta$ ADC 的 IF 采样的正交解调。参照图 4，可设计滤波器 2252 和低通滤波器 2256a 和 2256b 来提供对输入信号的所需匹配滤波，这是解调器为了最优化性能一般所需的。用数字滤波器（诸如，有限脉冲响应（FIR）滤波器、无限脉冲响应（IIR）滤波器或多相滤波器）实施的滤波器考虑高性能和增加可靠性。还可设计数字滤波器以获得所需精度，同时使电路复杂度最小。数字滤波器还可提供经改进性能，因为数字滤波器的频率响应对于所生产的所有单元都是相等的。对于大量生产的接收机而言，一致性是很重要的。

数字解调还提供大灵活性和低成本。可设计数字滤波器来满足所需的技术指标(例如,任何所需的频率响应)。还可灵活地设计数字滤波器,从而根据应用需要提供最优化频率响应。例如,可用从控制器加载的滤波器抽头(filter tap)系数设计 FIR 滤波器。可以不同工作模式动态改变 FIR 滤波器的频率响应。此外,数字滤波器可设计成多级,而且当不需要时,可以旁路一些级,以使功率消耗最小。

可用集成在一个或少量集成电路(IC)中的数字电路实施数字正交解调,以使元件数量最少、减小成本和提高可靠性。此外,在制造期间和/或工作期间,可以容易地测试数字电路。在现有技术中,用模拟电路实施正交解调。在模拟电路中的较差元件容限导致接收机不满足所需性能指标。此外,模拟电路包括多个元件,他们可能降低接收机的可靠性并增加成本。此外,对于多个标准中的每个标准,需要重新设计现有技术中的模拟电路,例如满足 IS-95 标准,韩国标准和日本标准。

子采样 $\Sigma\Delta$ 接收机的第四个主要优点在于消除正交误匹配。在本发明中,由于信号处理在 $\Sigma\Delta$ ADC 实现数字化之后,所以消除了模拟正交解调器中发现的正交不平衡。在示例实施例中,乘法器 2254 和低通滤波器 2256 设计为相同。此外,从根据与相同时钟信号相关的不同值(例如,1,0 或-1)产生分别来自本机振荡器 2260 和移相器 2258 的同相和正交正弦,而且没有相位误差。对于数字正交解调器,匹配两个信号路径,并相互精确正交。

在现有技术中的模拟正交解调器中(参见图 1),用两个信号路径处理基带 I 和 Q 信号。在两个信号路径中的任何误匹配(例如,在分相器 2136 中的误差和/或在混频器 2128、低通滤波器 2130 和 ADC2140 中的误匹配)导致 I 信号串音到 Q 信号上,反之亦然。串音导致模拟正交解调器的 BER 性能恶化。

子采样 $\Sigma\Delta$ 接收机的第五个主要优点在于可将 $\Sigma\Delta$ ADC 设计成提供优于在现有技术中的传统(例如,快速和逐次逼近)ADC 的经改进动态范围、线性和直流偏置。因为减小在信号带中的量化噪声量,所以由 $\Sigma\Delta$ ADC 对量化噪声的噪声成形提供优于传统 ADC 的经改进动态范围。对于传统 ADC,量化噪声在从直流到采样频率的输出频谱内是白噪声。对于 $\Sigma\Delta$ ADC,通过对适当设计在 $\Sigma\Delta$ ADC 内的噪声成形器,使信号带内的量化噪声最小。可设计噪声成形器,从而匹配 IF 信号特性与性能要求。

由 $\Sigma\Delta$ ADC 提供的经改进动态范围还导致对输入信号的高度过采样。对于

带通 $\Sigma\Delta$ ADC, 定义过采样比为采样频率除以输入信号的两侧带宽的两倍或者 $OSR=f_s/2f_{bw}$ 。根据是否使用单环结构或 MASH(多级噪声成形器)结构和是否采用单位或多位量化器, $\Sigma\Delta$ ADC 的输出可以是 1 比特或 m 比特。选择采样频率大大高于信号带宽。因此, 量化噪声在从直流到采样频率的更宽的频谱内扩展。后来对 $\Sigma\Delta$ ADC 的采样的滤波和抽选除去频带外噪声, 同时保留所需信号, 从而改进动态范围。在待批美国申请 08/928, 874 号中详细描述提供 12 位动态范围的示例 $\Sigma\Delta$ ADC 设计。

在示例实施例中, $\Sigma\Delta$ ADC 可具有 12 或更多位的分辨率。通过适当选择过采样比、噪声成形器和 $\Sigma\Delta$ ADC 的阶数, 可以设计分辨率。到 $\Sigma\Delta$ ADC 的 IF 信号一般包括所需信号加上可能包括人工干扰的不需要信号。人工干扰的幅度可甚大于所需信号的幅度。为了避免钳位 ADC 输入, 这可能产生频带内互调产物, 定标 IF 信号以固定在 ADC 的全部输入内。当人工干扰的幅度增加时, 所需信号变成更少百分比的输入 IF 信号。要求 ADC 多位分辨率, 从而充分量化所需信号。

在现有技术的模拟正交解调器中, 通过在由 ADC 采样之前用复杂的滤波器滤波模拟信号, 使人工干扰的幅度最小。由于将人工干扰设置在紧靠信号带的位置(例如, 离开 CDMA 信号的中心频率 900KHz), 要求诸如 SAW 滤波器和高阶椭圆滤波器(high order elliptical filter)等陡峭滚降率的滤波器使人工干扰的幅度最小。这些陡峭滚降滤波器可能设计很复杂、很难制造和成本很高。

由本发明的 $\Sigma\Delta$ ADC 提供的分辨率的附加比特数量与更高动态范围相对应, 并考虑在 IF 信号中的更大幅度的人工干扰, 而没有恶化所需信号。更高分辨率允许 $\Sigma\Delta$ ADC 适当量化所需信号, 即使它只是一小部分输入 IF 信号。在示例实施例中, 只需 4 比特分辨率来适当解调所需信号。运用 12 比特 $\Sigma\Delta$ ADC, 可使用剩余 8 位来处理人工干扰和/或提供增益控制。

本发明的 $\Sigma\Delta$ ADC 还提供优于现有技术的传统 ADC 的经改进的线性和直流偏置特性。对于现有技术的快速 ADC, 线性是依赖于在用来划分输入信号和参考电源的两个阻性梯形电路中的电阻器的匹配, 如上所述。在梯形电路中的电阻器的数量是 2^m , 其中 m 是在 ADC 中的比特数。当 m 增加时, 由于需要匹配的电阻器的数量, 使得线性很难保持。相反, 对于 $\Sigma\Delta$ ADC, 由于可使用单位量化器, 更加容易地获得线性。只要将在 $\Sigma\Delta$ ADC 中的高低反馈电压保持在恒定电平, 就能保持线性。

非线性可能恶化接收机的性能，诸如误码率(BER)或帧差错率(FER)。非线性还可能恶化在接收机中的多个环路的性能，诸如载波跟踪环路和比特定时环路(bit-timing loop)。载波跟踪环路跟踪输入 RF 信号的频率/相位，和比特定时环路跟踪输入信号的码元率。非线性还可影响在自动增益控制(AGC)电路和用来提高输入基准第三阶互调产物(input-referred third order intermodulation product) (IIP3)性能的偏压控制电路中用到的信号电平 的测量。

$\Sigma\Delta$ ADC 还具有优于现有技术的传统 ADC 的经改进的直流偏置特性。对于基带 $\Sigma\Delta$ ADC，由于在本发明中不再出现放大直流的现有技术的模拟滤波器，所以改进直流偏置。对于带通 $\Sigma\Delta$ ADC，不考虑直流偏置，因为该频谱分量是在频带外。可以滤去任何直流偏置，而且对输出采样的影响很小。

直流偏置对于数字通信系统特别重要，因为该参数会恶化 BER 性能和在接收机内的锁相环的性能。直流偏置使 ADC 输出采样的量化不对称(skew)，而且可导致输入信号的误检测。直流偏置还可恶化在数字通信系统中通常使用的维特比解码处理的性能。此外，直流偏置影响载波跟踪和比特定时环路的性能。直流偏置把直流偏压引入环路，这恶化了环路的捕获性能。直流偏压还抑制环路，从而恶化环路的跟踪性能。在多种通信系统中，直流偏置是通过一种测量或多种测量组合提出的重要设计和制造考虑。可将每个 ADC 的直流偏置仔细屏蔽到特定限制。此外，可设计特定补偿环路来评估和跟踪出每个 ADC 的直流偏置。

在待批美国专利申请 08/928,874 号中所述的 $\Sigma\Delta$ ADC 的设计提供当在本发明的接收机中使用时的附加有利之处。在工作期间，可重新构成 $\Sigma\Delta$ ADC，从而可以关闭 $\Sigma\Delta$ ADC 部分以当不需要高性能时保存功率。例如，可实施 $\Sigma\Delta$ ADC 作为两个环路 MASH 结构，而且当不需要高动态范围时可以关闭一个环路。

由 $\Sigma\Delta$ ADC 提供的另一个有利之处在于在 $\Sigma\Delta$ ADC 和接收机中的其他电路之间连接的容易性。 $\Sigma\Delta$ ADC 只在每个采样时钟循环输出一个或几个位，即使 $\Sigma\Delta$ ADC 可能具有多位分辨率。于是， $\Sigma\Delta$ ADC 具有少量输入/输出(I/O)引脚。而且，子采样 $\Sigma\Delta$ 接收机只需一个 $\Sigma\Delta$ ADC。几个 ADC 和 I/O 引脚简化在 $\Sigma\Delta$ ADC 和接收机中的其他电路之间的路由选择。对于传统 ADC，通常分辨率的每位需要一个 I/O 引脚。对于如图 1 所示的正交解调器需要两个传统 ADC。高数量的 ADC 和 I/O 引脚可能使得布线和路由选择更难。

接收机 2200 和 2300 是两个示例接收机结构，它们支持 IF 信号的子采样 $\Sigma\Delta$ 模拟-数字变换。可以设计其他接收机根据使用接收机的应用要求提供所需前端处理。此外，可设计其他数字信号处理器来实施 IF 采样的解调。于是，包括子采样 $\Sigma\Delta$ ADC 的不同接收机结构落在本发明的范围内。

II. 奈奎斯特采样 $\Sigma\Delta$ 接收机

在本发明的第一实施例中，接收机包括子采样 $\Sigma\Delta$ ADC。这个结构提供如上所述的多个有利之处。在本发明的第二实施例中，接收机包括奈奎斯特采样 $\Sigma\Delta$ ADC。该结构提供 $\Sigma\Delta$ ADC 的多个有利之处，具体地说高动态范围、经改进的线性、低直流偏置和最小功率消耗。对于奈奎斯特采样 ADC，采样频率至少是到 ADC 的输入信号的最高频率的两倍，从而避免假频，而不是利用它。

图 6 示出用于正交解调的示例奈奎斯特采样 $\Sigma\Delta$ 接收机的方框图。可用接收机 2400 来解调 BPSK、QPSK、OQPSK、QAM 和数字和模拟调整格式。在接收机 2400 内，由天线 2412 接收发送的信号、通过双工器 2414 向前端 2402 提供。在前端 2402 中，放大器 (AMP) 2416 放大信号并向带通滤波器 2418 提供经放大信号，其中带通滤波器滤波信号来去除不需要的信号。在示例实施例中，带通滤波器 2418 是声表面波 (SAW) 滤波器。向混频器提供经滤波信号，来用本机振荡器 (LO1) 2422 的正弦下变频信号。由带通 2424 滤波并由自动增益控制 (AGC) 放大器 2426 放大混频器 2420 的 IF 信号，从而在 $\Sigma\Delta$ ADC 2440 的输入产生所需信号幅度。在示例实施例中，带通滤波器 2424 还是 SAW 滤波器。向解调器 2404 提供经 AGC 的信号。

解调器 2404 利用奈奎斯特采样基带 $\Sigma\Delta$ ADC 提供正交解调。在解调器 2404 中，两个混频器 2428a 和 2428b 用分别由本机振荡器 (LO2) 2434 和移相器 2436 提供的正弦将信号下变频到基带 I 和 Q 信号。分别向提供基带信号的匹配滤波和/或抗假频的低通滤波器 2430a 和 2430b 提供基带 I 和 Q 信号。向 $\Sigma\Delta$ ADC 2440a 和 2440b 提供经滤波信号，它们采样该信号以产生数字化基带采样。向基带处理器 2450 提供采样以进一步处理 (例如，检错和/或纠错，解压)。

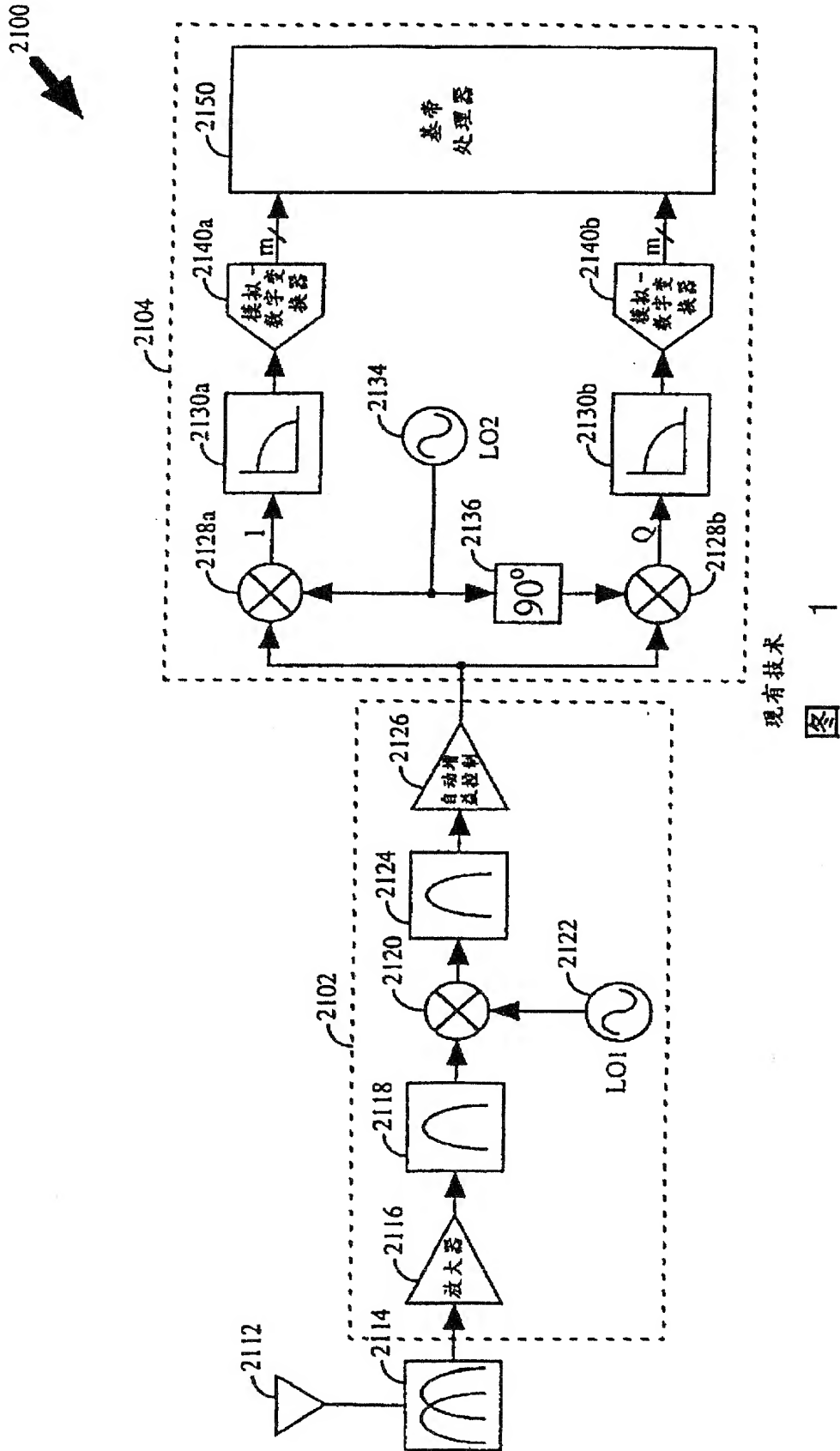
在示例实施例中， $\Sigma\Delta$ ADC 2440 是可以待批美国专利申请号 08/928,874 中所述的方法实施的奈奎斯特采样基带 $\Sigma\Delta$ ADC。基带 $\Sigma\Delta$ ADC 把在直流周围的量化噪声推到更加容易执行滤波的更高频率。

可以设计奈奎斯特采样 $\Sigma\Delta$ 接收机来执行与子采样 $\Sigma\Delta$ 接收机 2200 和 2300 相类似的数字正交解调。在该实施例中，设计子采样 $\Sigma\Delta$ 接收机 2200 和 2300，

从而到带通 $\Sigma\Delta$ ADC 的 IF 信号的中心频率是在 IF 频率。 较佳的是，选择 IF 频率是 $0.25 \cdot f_s$ 。通过调节第一本机振荡器(例如，L01 2222)的频率或通过插入第一频率下变频级(例如，混频器 2200)和带通 $\Sigma\Delta$ ADC 之间的第二频率下变频级，可以获得该 IF 频率。

向熟悉本技术领域的人员提供较佳实施例的上述描述以制造或运用本发明。对于熟悉本技术领域的人员而言，对于这些实施例的各种变化是显而易见的，而且可将这里限定的一般原理用于其他实施例，而不必进行创造性劳动。于是，本发明并不局限于这里所示的实施例，而是根据与这里揭示的原理和新颖性相一致的最宽范围。

说明书附图



现有技术

图 1

2200

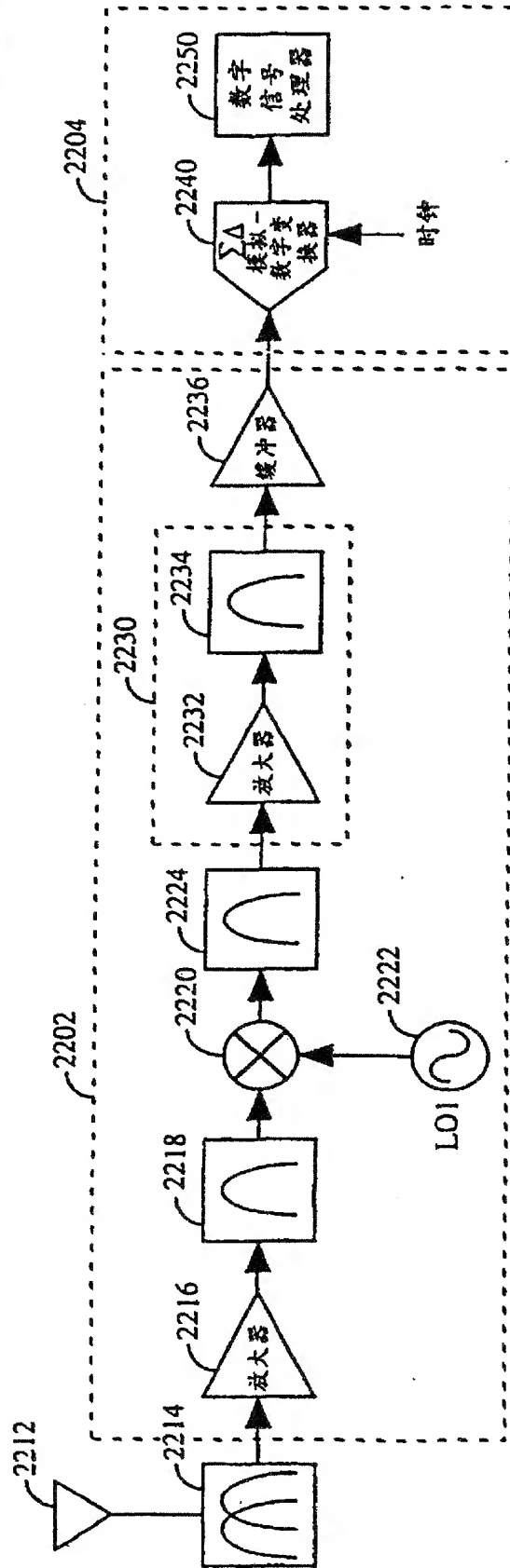


图 2

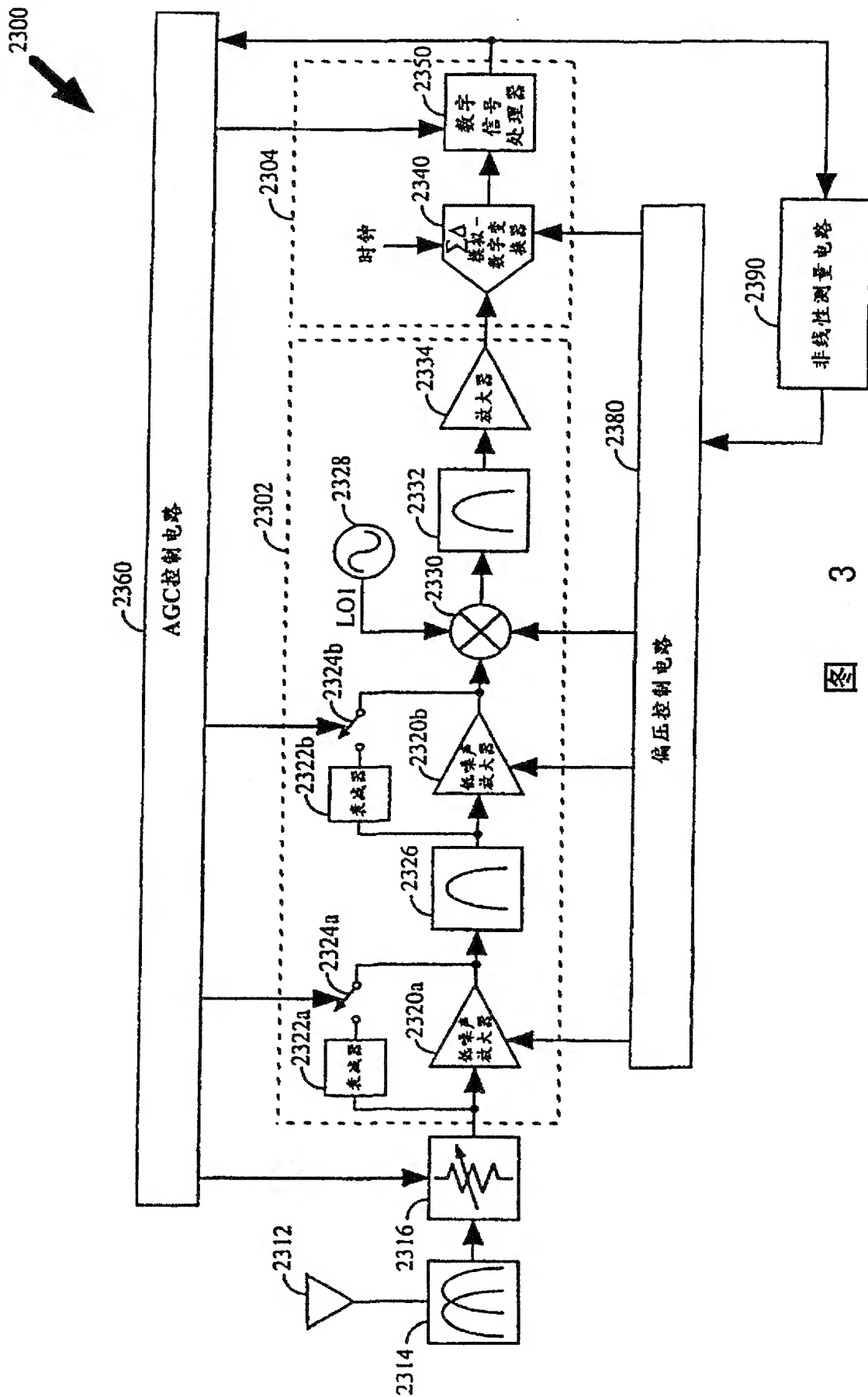


图 3

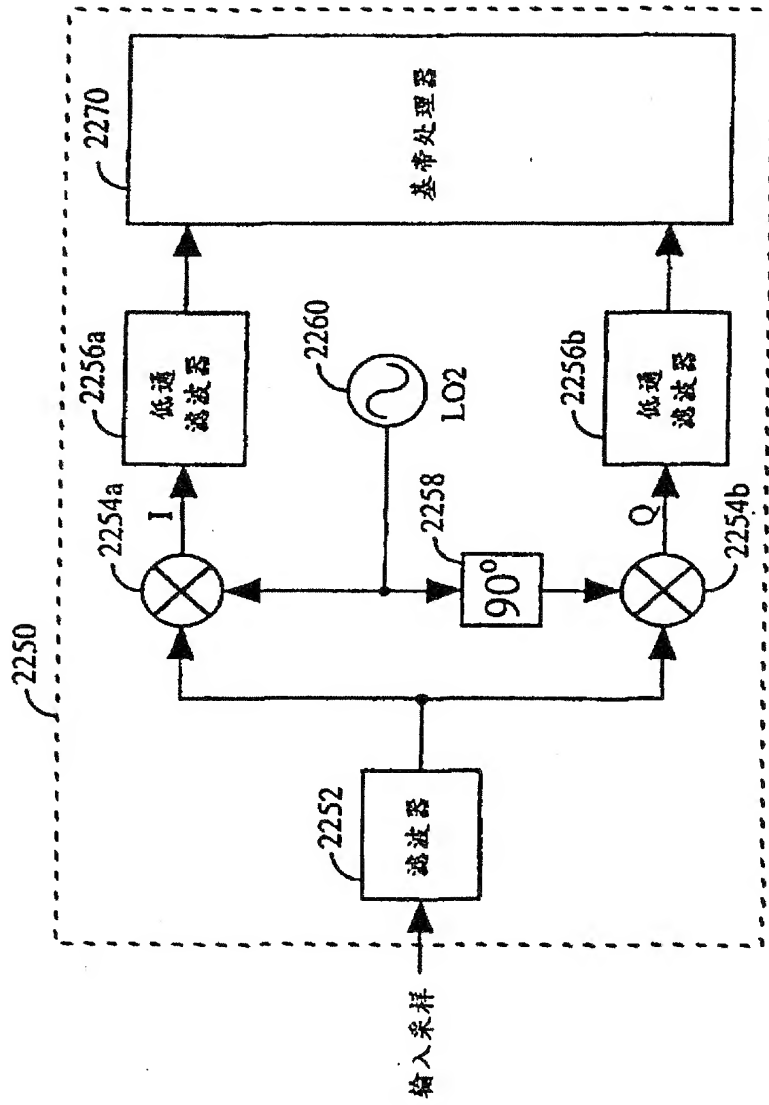


图 4

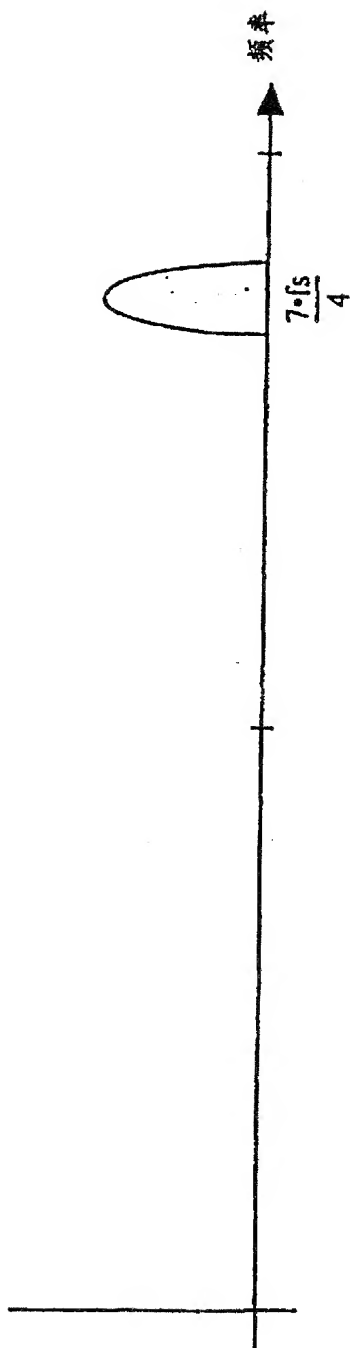


图 5A

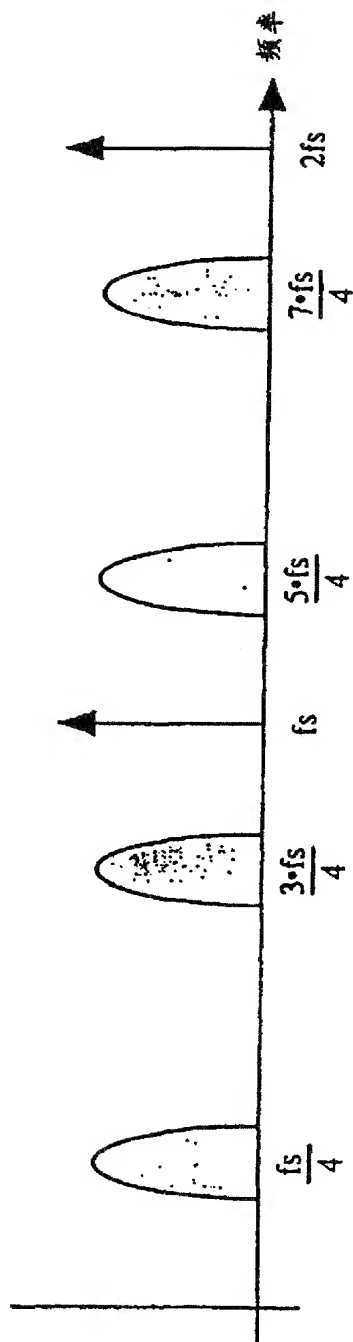


图 5B

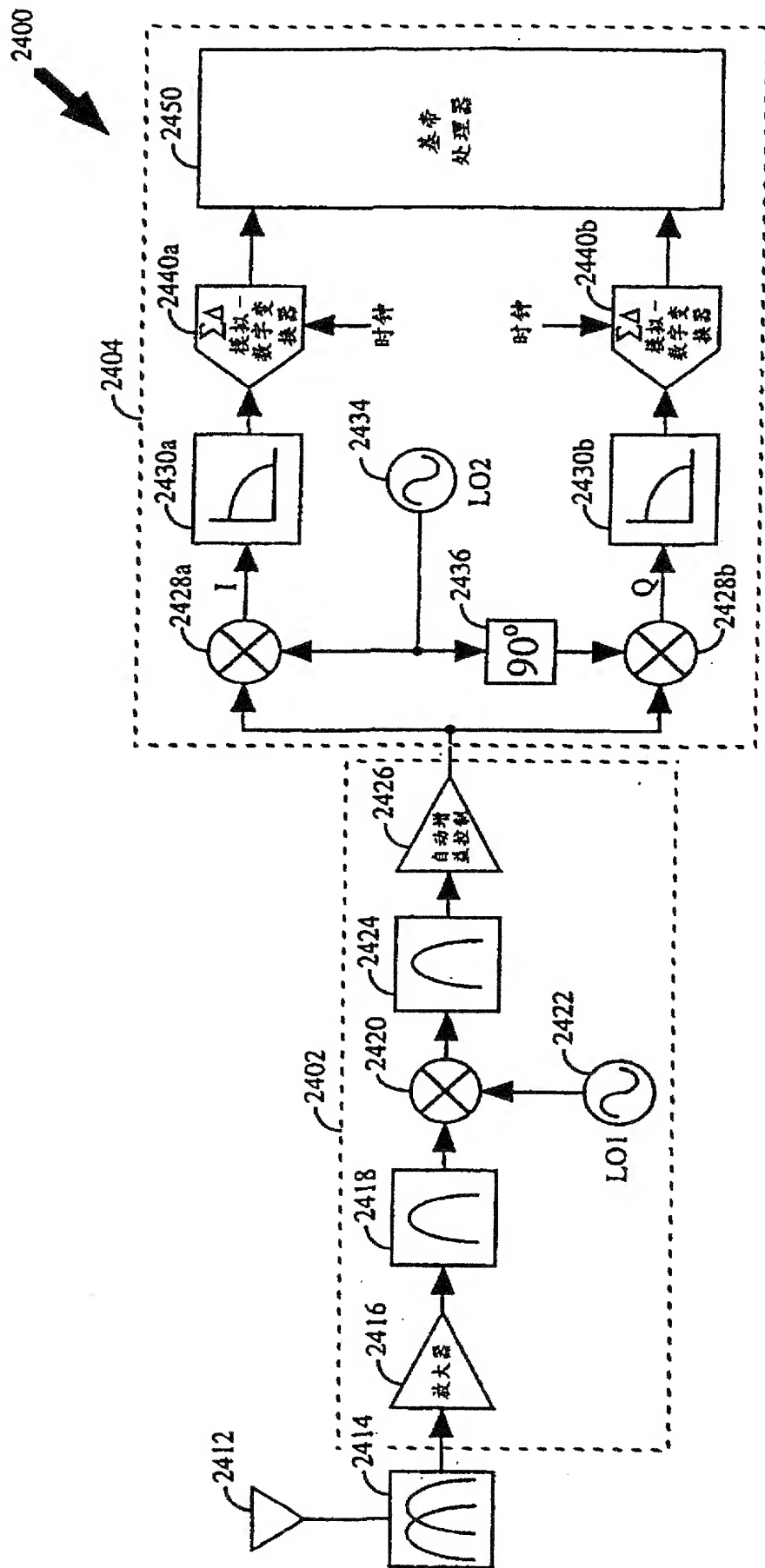


图 6